

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-029463

(43)Date of publication of application : 16.02.1984

(51)Int.CI.

H01L 29/80

H01L 21/28

(21)Application number : 57-140272

(71)Applicant : NEC CORP

(22)Date of filing : 12.08.1982

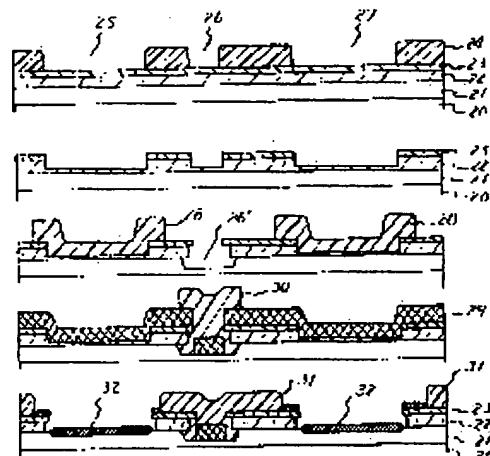
(72)Inventor : KATSUKAWA KIMIAKI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To eliminate the positional deviation generating between a Schottky electrode and an ohmic electrode by a method wherein a concavity is formed on an insulating layer located at the part corresponding to the electron forming position having both commuting and non-commutating properties.

CONSTITUTION: An active layer 21 is formed on a semiinsulating GaAs substrate 20. Then, a CVD SiO₂ 22 and a plasma silicon nitride film 23 are grown successively. Subsequently, a PR mask 24 with which the electrode position for source 25, gate 26 and drain 27 will be determined is formed. Then, a concavity is formed by performing an etching on a part of CVD SiN 23 and CVD SiO₂ 22, and the PR mask 24 is removed. Then, a PR mask 23 is covered on the position to be turned to a source and drain electrode, the SiO₂ film located directly above the gate is selectively removed using an SiO₂ etching solution, and the exposed GaAs active layer is adjusted to the desired thickness by performing an etching. As a result, a gate 26 of recessed structure is obtained. A PR mask 28 is removed and Al 29, as a gate Schottky metal, is vapor-deposited on the whole surface. The Al at the recessed gate part is formed separately from the Al on the PCVD SiN 23.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

⑯ 日本国特許庁 (JP) ⑯ 特許出願公開
⑯ 公開特許公報 (A) 昭59—29463

⑮ Int. Cl.³
H 01 L 29/80
21/28

識別記号 庁内整理番号
7925—5F
7638—5F

⑯ 公開 昭和59年(1984)2月16日
発明の数 1
審査請求 未請求

(全 3 頁)

⑯ 半導体装置の製造方法

東京都港区芝五丁目33番1号
本電気株式会社内

⑯ 特願 昭57—140272
⑯ 出願 昭57(1982)8月12日
⑯ 発明者 勝川公昭

⑯ 出願人 日本電気株式会社
東京都港区芝5丁目33番1号
⑯ 代理人 弁理士 内原晋

明細書

高周波用の高出力 GaAs MESFET の製造方法に関するものである。

1. 発明の名称
半導体装置の製造方法

近年 GaAs MESFET がマイクロ波帯で動作する増幅素子として著しい進歩を遂げ、特にマイクロ波通信装置に多く使用されている。高出力 FET ではゲート幅を大きく取る為に第1図にその平面図を示すようにソース1、ドレイン2、ゲート3を梳目状に配置し、しかも寄生抵抗を減らす目的でゲート電極とソース、ドレイン両電極間の距離を可能な限り近づける構造が採用されている。又、ドレイン耐圧を高くし、ソース抵抗を下げる目的から、ゲート電極はドレイン電極端から離しソース側に近づけるいわゆるオフセット構造を取る方が良い。GaAs FETにおいて、GaAsへのオーミック電極とショットキー接合電極ではその形成方法、電極材料が互いに異なる為、従来はソースおよびドレインのオーミック電極のパターニングを行なうための P RL マスク工程とゲート電極のパターニングを行なうための P RL マスク工程とは、夫々別であり（別工程で行なう）互いの位置

2. 特許請求の範囲
非整流性電極と整流性電極とを必要とする半導体装置の製造方法において、互いにエッチング速度もしくはエッチング液の異なる層を積層して絶縁層を形成する工程と、整流性電極および非整流性電極を形成すべき位置の前記絶縁層の一部を除去して凹部を形成する工程と、整流性および非整流性電極の夫々に対応する凹部の絶縁層を別々の工程で除去し、それによって露出された基板上に整流性および非整流性電極を夫々形成する工程とを含むことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明
本発明は半導体装置の製造方法、とくにショットキー電極を含む電界効果トランジスタ、例えば

を目合せで決定していた。たとえばオーミック電極をゲート電極(ショットキー電極)に先行して形成する場合は、ソースおよびドレイン両電極をパターニングしてオーミックメタルを被覆させ、これを熱処理により合金化させてオーミック電極を形成する。その後、このソース、ドレイン両電極の間のゲート電極を形成する位置にPル目合せでパターニングする。一方、ゲート電極を先行させる場合はその逆の方法で行なっていた。これら従来の方法では、互いに異なるPル目合せ作業工程での目合せずれと、Pルマスク自身が持つ相対目合せ精度の制約から、ソース-ドレイン間隔を設計上6μ以内に確保することは困難であった。又、偏心構造の場合、ゲートの目合せずれはゲートがソース側へ近づくフィンガーと、ドレイン側へ近づくフィンガーとが交互にできる為、各フィンガー間でのバランスをくずし、特性を悪化させる原因になっていた。

本発明の目的はショットキー電極とオーミック電極との形成時に生じる相互の位置ずれをなくし

た新規な製造方法を提供することにある。

本発明によれば半絶縁性基板上に低抵抗半導体層を形成し、該低抵抗半導体層に非整流性接触電極と整流性接触電極とを設ける半導体装置の製造工程において、

低抵抗半導体層上に互いにエッティング速度もしくはエッティング液の異なる少なくとも2層の絶縁層を形成する工程；

非整流性接触電極と整流性接触電極とを設ける位置上の絶縁層の一部を選択的に除去し凹部を形成する工程；

非整流性接触電極部もしくは整流性接触電極部のうちいづれか一方の凹部をマスクして残りの凹部の絶縁層を除去し電極を形成する工程；

形成された電極をマスクして残された他方の凹部の絶縁層を除去してそこに電極を形成する工程；

を具備することを特徴とする半導体装置の製造方法が得られる。

本発明によれば非整流性および整流性両方の電

極形成位置に相当する部分の絶縁層に同時に凹部を形成するように工夫されているので、それによって両者の位置は相対的に正確に決定され、その後の工程では正確な目合せをする必要がない為両電極間隔を従来よりも短縮できるとともに、寄生抵抗も低減でき、簡単に正確な位置決めが可能となる。

次に本発明の一実施例を図面を用いて説明する。第2図a～gにそのGaAs FETの各製造段階での断面図を示す。半絶縁性GaAs基板20上にキャリア濃度～ $1 \times 10^{17} \text{ cm}^{-3}$ 、厚さ0.6μの能動層21を形成する。次にCVD SiO₂22を4000Å、プラズマシリコン酸化膜(PCVD SiN)23を2000Å順次成長させる。PCVD SiN23はSiO₂エッティング液(NH₄F+HF)によるエッティング速度が該SiO₂膜のエッティング速度の1/10以下となるような成長条件とした。次にソース25、ゲート26、ドレイン27の各電極位置を決定するPルマスク24を形成する。本実施例ではゲート端-ドレイン端間隔が2.5μ、

ゲート端-ソース端間隔が1.5μ、ゲート長が1μとなるようにオフセット構造にした(工程a)。

次にドライエッティングによりb工程のようにPCVD SiN23とCVD SiO₂22の一部とをエッティングして凹部を作り、Pルマスク24を除去する。次にソース、ドレイン電極(オーミック電極)となる位置をc工程のようにPルマスク23で覆い、SiO₂エッティング液(NH₄F+HF)でエッティングすることによってゲート直上のSiO₂膜が選択的に除去される。さらにそれによって露出されたGaAs活性層(n型～ $1 \times 10^{17} \text{ cm}^{-3}$ エピ層)をエッティングして所望の厚さに調整する。これによってリセス構造のゲート26が得られる。Pルマスク28を取り去りゲートショットキーメタルとして例えばAl29を全面に蒸着する。リセスゲート部のAl29はPCVD SiN23上のAl29とは分離されて形成される。ゲートAl29を覆うようにPルマスク30を施し、ゲート以外の部分のAl29を熱リソング酸(～60°C)でエッティングして取り去りゲート電極を形成する(工程d)。次にソース、

ドレイン電極となるべき部分以外の場所を覆うP RLマスク31を形成して、ソース、ドレイン電極を設けるべき部分のSiO₂をエッティング液で除去する。オーミックメタル32として例えばAuGe-Niを1500Å, 400Å順次蒸着する(工程e)。次にSiO₂をサイドエッティングによって取り去り、P RLマスクを除去する(工程f)。オーミックメタルを合金化し、ソース、ドレインオーミック電極を形成する。g工程は表面パッシベーション膜33を施した図を示した。

以上、この方法によればソース、ドレインとゲートの電極位置を形成する上で相互の正確な位置を決定するのに必要なマスク作成は工程aだけによりため、目合わせずれや位置ずれがなくなり、非常に正確な位置にショットキー電極とオーミック電極とを形成することができた。

以上、本発明の一実施例として特定な方法、材料で説明したが、本技術思想から明らかなるように本実施例にのみ限定されることなく適用されることはいうまでもない。例えば、工程aにて用いら

れるPCVD SiN 23とCVD SiO₂ 22との組み合わせ以外に、互いにエッティング液の異なる物質同志もしくはエッティング速度の異なる組成物質同志の組み合わせであればよい。また、オーミック電極を形成した後、ショットキー電極を形成するようにしてもよい。勿論、リセス構造ではなくショットキー電極およびオーミック電極が同一平面上にある構造のFETや、横型ダイオードにも十分適用できる。

4. 図面の簡単な説明

第1図はGaAs MESFETの平面図、第2図a乃至gは本発明の一実施例による各製造工程断面図である。

1 ……ソース、2 ……ドレイン、3 ……ゲート、
20 ……GaAs 邪板、21 ……能動層、22 ……
SiO₂膜、23 ……SiN膜、24, 28, 30, 31
… … P RLマスク、25 ……ソース、26 ……ゲー
ト、27 ……ドレイン、29 ……AuGe、32 ……
オーミックメタル、33 ……表面パッシベーション膜。

